Check for updates

Journal of KIIT. Vol. 24, No. 10, pp. 147-154, Oct. 31, 2026. pISSN 1598-8619, eISSN 2093-7571
http://dx.doi.org/10.14801/jkiit.2026.24.10.147

위상배열안테나 시스템을 위한 공통 기준 클록 기반 주파수 인코딩 직렬 인터페이스 설계

김진웅*[1], 서봉용*[2], 국경필*[3]

Design of a Clock-Synchronous Frequency-Encoded Serial Interface for Phased Array Antenna Systems

Jinwoong Kim*[1], Bongyong Seo*[2], and Kyoungpil Kuk*[3]

이 논문은 2026년 한화시스템(주)의 재원을 지원받아 수행된 연구임

요 약

본 논문에서는 FPGA 내부 IP를 활용하여 외부 SERDES 칩 없이 직렬 통신 인터페이스를 구현하는 주파수 인코딩 기반 구조를 제안한다. 기존 SERDES 방식은 별도의 Serializer 및 Deserializer 칩을 사용하므로 시스템 비용 증가, PCB 면적 확대, 전력 소모 증가 및 채널 간 지연 편차와 같은 문제를 가진다. 제안 방식은 송신부와 수신부가 동일한 기준 클록을 공유하는 환경을 전제로 하며, 병렬 데이터의 상태를 서로 다른 주파수의 직렬 신호로 변환하여 전송한다. 수신부는 수신 신호의 주파수를 판별하여 원래의 병렬 데이터를 복원한다. 특히 공통 기준 클록을 사용하는 위상배열안테나 시스템에 적용이 용이하며, FPGA 내부 자원만으로 구현 가능하여 시스템 비용 절감, 보드 공간 감소 및 채널 간 latency skew 감소 효과를 기대할 수 있다.

Abstract

This paper proposes a frequency-encoding-based structure that implements a serial communication interface using internal FPGA IP, without needing an external SERDES chip. Traditional SERDES methods use separate Serializer and Deserializer chips, which increases system costs, PCB area, power consumption, and introduces channel-to-channel delay differences. The proposed method assumes that the transmitter and receiver share the same reference clock and converts the state of parallel data into serial signals of different frequencies for transmission. The receiver then detects the frequency of the incoming signal to restore the original parallel data. This approach is especially easy to apply to phased array antenna systems that use a common reference clock, and since it can be implemented solely with internal FPGA resources, it can reduce system costs, save board space, and decrease channel latency skew.

Keywords

FPGA, SERDES, phased array antenna, reference clock, frequency endcoding

* 한화시스템(*[1] 교신저자)
- ORCID[1]: https://orcid.org/0009-0001-0101-0230
- ORCID[2]: https://orcid.org/0009-0005-5077-536X
- ORCID[3]: https://orcid.org/0009-0004-8614-3500

· Received: Jul. 24, 2026, Revised: Jul. 27, 2026, Accepted: Jul. 30, 2026

· Corresponding Author: Jinwoong Kim
Dept. of Hanwha Systems 491023, Gyeonggidong-ro, Namsa-eup, Chein-gu, Yongin-si, Gyeonggi-do, Repulic of Korea
Tel.: +82-31-8020-7165, Email: kjw0981@hanwha.com

Ⅰ. 서 론

최근 위상배열안테나 시스템에서는 다수의 송수신 블록(Transceiver block)과 중앙 제어부(Control unit) 간의 고속 인터페이스 요구가 증가하고 있다[1][2]. 디지털 통신 시스템에서는 정보를 전송 가능한 형태로 변환하여 전송하고, 수신부에서는 이를 복원하는 과정이 기본적인 통신 구조를 이룬다. 이러한 직렬 통신 방식은 제한된 전송 채널에서 데이터 전송 효율을 높일 수 있어 다양한 고속 인터페이스에 널리 적용되고 있다[3].

일반적으로 이러한 인터페이스는 LVDS (Low-Voltage Differential Signaling) 또는 SERDES (Serializer/Deserializer) 기반으로 구현되며, 고속 데이터 전송을 위해 별도의 Serializer 및 Deserializer 칩을 이용한 직렬 링크 구조가 널리 사용되고 있다.

그러나 기존 외부 SERDES 기반 구조는 다음과 같은 한계를 가진다.

- 외부 칩 추가에 따른 시스템 단가 상승
- PCB(Printed Circuit Board) 면적 증가
- 전력 소모 증가
- 채널 간 Latency mismatch 발생 가능성
- 고속 differential routing 복잡도 증가

특히 위상배열안테나 시스템에서는 다수의 채널이 병렬적으로 구성되므로 이러한 문제는 더욱 심화된다.

반면, 위상배열안테나 시스템은 일반적으로 중앙 기준 클록(Reference clock)을 전체 송수신 블록에 분배하는 구조를 가지며, 송신부와 수신부 간의 클록 동기화가 이미 확보되어 있다는 특징이 있다. 이러한 공통 기준 클록 기반의 동기화 구조는 최근 분산 계측 시스템을 위한 Clock-centric Serial Link 구조에서도 활용된 바 있으며, 결정적 지연(Deterministic latency)과 안정적인 클록 동기화에 효과적인 것으로 보고되었다[4].

본 논문에서는 이러한 환경적 특성을 활용하여, FPGA(Field-Programmable Gate Array) 내부 IP(Intellectual Property)만을 이용한 새로운 형태의 SERDES 인터페이스 구조를 제안한다. 제안 방식은 병렬 데이터 상태를 특정 주파수 패턴으로 변조하여 직렬 전송하고, 수신부에서는 동일 기준 클록 기반의 주파수 판별을 통해 데이터를 복원한다.

Ⅱ. 기존 SERDES 인터페이스 구조

2.1 기존 구조

고속 디지털시스템에서는 제한된 배선으로 대용량 데이터를 전송하기 위해 직렬 통신 방식이 널리 사용되고 있다. 특히 FPGA 기반 시스템에서는 다수의 병렬 데이터를 직렬 데이터로 변환하여 전송하는 SERDES(Serializer/Deserializer) 인터페이스가 대표적으로 사용된다. 기존 SERDES 인터페이스는 아래와 같다.

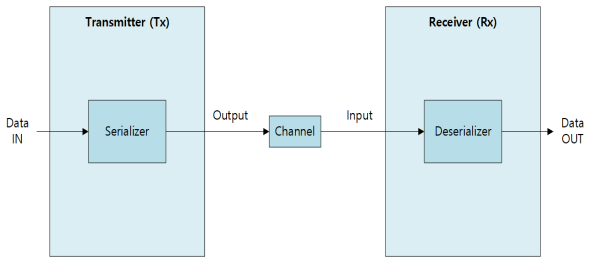


그림 1. 기존 SERDES 인터페이스 구조
Fig. 1. Existing SERDES interface structure

1. 송신부 병렬 데이터 입력
2. Serializer 칩에서 직렬화 수행
3. 고속 differential line 전송
4. Deserializer 칩에서 병렬 데이터 복원

이러한 방식은 높은 데이터 전송률과 우수한 신호 무결성을 확보할 수 있어 다양한 고속통신 시스템에서 활용되고 있다. 그러나 고속 직렬 데이터의 안정적인 복원을 위해서는 수신부에서 CDR(Clock Data Recovery)를 위한 회로가 필요하며, 지터(Jitter), 위상 오차와 같은 다양한 설계상의 어려움이 존재한다. 또한 다수의 채널을 사용하는 시스템에서는 채널 간 Latency 편차와 지연 불확실성이 발생할 수 있다.

2.2 관련 연구 및 한계

공통 기준 클록을 이용하는 직렬 통신 구조에 관해 Calvet et al.[4]는 동일한 기준 클록 환경에서 직렬 링크를 구성하여 안정적인 동기화를 유지하는 Clock-Centric Serial Link 구조를 제안하였다. 이는 클록 동기화를 효율적으로 수행할 수 있다는 장점이 있으나, 별도의 직렬 링크 구조를 기반으로 하며 FPGA 내부 IP만을 이용한 구현 방식은 제시하지 않았다.

한편, 기존 고속 직렬 통신 기술에서는 데이터 전송률 향상과 신호 무결성 확보를 위한 다양한 연구가 수행되어왔다. Lee et al.[5]는 CMOS (Complementary Metal Oxide Semiconductor) 기반 Full-Duplex Serial Link를 제안하여 고속 직렬 데이터 전송 구조를 구현하였으며, Razavi[6]는 고속 직렬 링크에서 CDR 회로 설계 시 발생하는 지터와 위상 오차 문제를 분석하였다. 이러한 연구들은 고속 직렬 인터페이스 설계의 기반을 마련하였으나 대부분 전용 직렬 링크 회로나 CDR 기반 구조를 전제로 한다.

최근에는 외부 SERDES 칩에 대한 의존성을 줄이기 위해 FPGA 내부 자원을 활용한 직렬 통신 구현 연구도 수행되고 있다. Assaad 등[7]은 FPGA 내부 디지털 회로를 이용하여 All-Digital Serializer를 구현하고, SoC(System On Chip) 환경에서 모듈 간 직렬 통신의 가능성을 제시하였다. 그러나 해당 연구는 Serializer의 구현 및 성능 향상에 초점을 두고 있으며, 송신부와 수신부가 공통 기준 클록을 공유하는 환경에서 병렬 데이터를 주파수 정보로 변환하여 직렬 전송하는 방식은 고려하지 않았다. 또한 Liu et al.[8]은 FPGA 기반 고속 직렬 트랜시버를 이용하여 채널 간 Fixed Latency를 구현함으로써 다채널 시스템에서 발생하는 지연 편차를 최소화하는 방법을 제안하였다.

기존 연구들은 고속 데이터 전송, Fixed Latency 구현 및 FPGA 기반 Serializer 설계에 초점을 맞추고 있으나, 송신부와 수신부가 동일한 기준 클록을 공유하는 환경에서 병렬 데이터를 주파수 정보로 변환하여 직렬 전송하고, FPGA 내부 IP만을 이용하여 외부 SERDES 칩을 대체하는 구조는 충분히 연구되지 않았다. 따라서 본 논문에서는 이러한 시스템 환경을 활용하여 새로운 직렬 인터페이스 구조를 제안하고, 위상배열안테나 시스템에 적용 가능성을 검증하고자 한다. 특히 본 논문은 병렬 데이터를 주파수 정보로 인코딩하여 전송하는 새로운 직렬 인터페이스 방식을 제안함으로써, 공통 기준 클록 환경에서 외부 SERDES칩 없이 직렬 통신을 구현할 수 있다는 점에서 기존 연구와 차별성을 가진다.

한편, Kruszewski와 Zabołotny[9]는 FPGA 간 고속 직렬 통신에서 고정된 latency를 보장하기 위한 프로토콜을 제안하고, Xilinx Kintex UltraScale+ FPGA를 이용하여 이를 구현 및 검증하였다. 해당 연구에서는 데이터 전송 과정에서 발생하는 지연 시간을 분석하고, 전송 속도에 따른 latency를 산정하는 방법을 제시하였다. 그러나 해당 연구는 고속 직렬 데이터 전송의 신뢰성과 고정 latency 구현에 중점을 둔 반면, 본 논문에서는 송수신부가 동일한 기준 클록을 공유하는 환경을 활용하여 채널 간 latency 편차를 최소화하고, 주파수 기반으로 병렬 데이터를 직렬 신호에 매핑하는 인터페이스 구조를 제안한다.

III. 제안하는 인터페이스 구조

3.1 시스템 개요

본 논문에서 제안하는 구조는 동일 기준 클록을 공유하는 환경에서 동작한다.

송신부는 병렬 입력 데이터 조합에 따라 특정 주파수의 직렬 신호를 생성한다. 수신부는 입력 신호의 주파수를 분석하여 원래의 병렬 데이터를 복원한다. 즉, 데이터 정보를 "전압 레벨"이 아닌 "주파수"에 매핑하는 방식이다.

해당 인터페이스에 대한 구성도는 그림 2와 같다.

3.2 송신부 구조

송신부에서는 FPGA 내부 PLL(Phase-Locked Loop) 또는 Clock Divider IP를 이용하여 여러 개의 기준 주파수를 생성한다.

예를 들어 2-bit 병렬 데이터에 대해 표 1과 같이 정의할 수 있다.

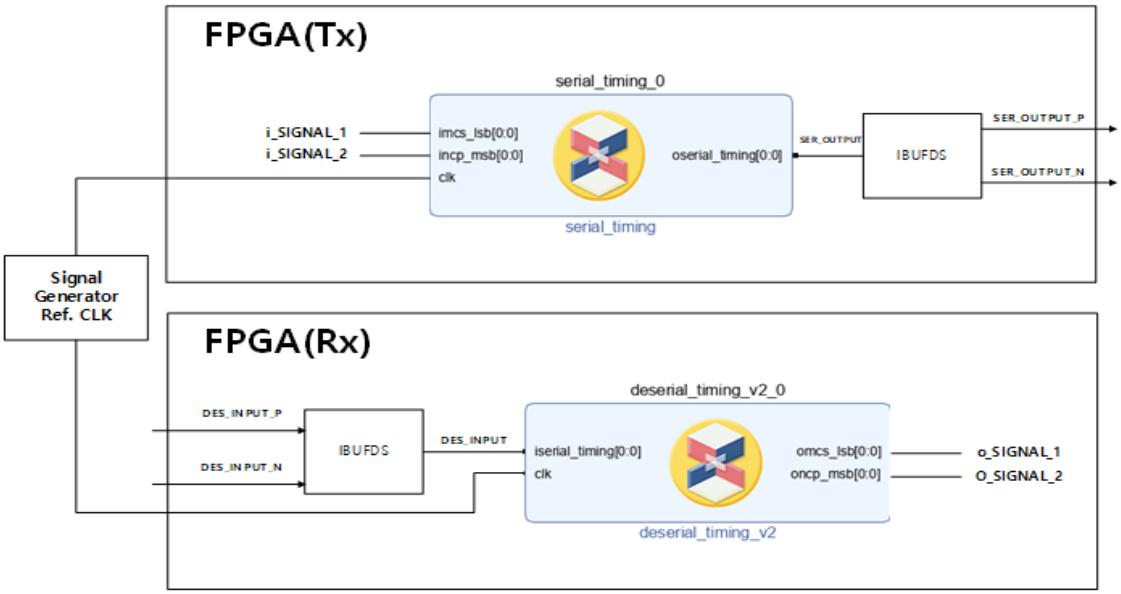


그림 2. 제안한 방법으로 구현한 SERDES 인터페이스
Fig. 2. SERDES interface using proposed method

표 1. 입력 데이터에 따른 출력 주파수
Table 1. Output frequency according to input data

Input data	Output frequency
00	f_1
01	f_2
10	f_3
11	f_4

송신부는 그림 3과 같이 입력 데이터 상태에 따라 대응하는 주파수의 클록을 선택하여 직렬 라인으로 출력한다.

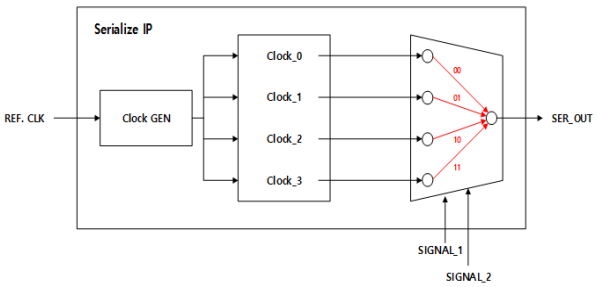


그림 3. Serialized 기능 블록도
Fig. 3. Serialized function block diagram

3.3 수신부 구조

수신부에서는 일정한 관측 구간 동안 수신된 직렬 신호의 주파수를 측정하고, 측정된 주파수를 사전에 정의된 기준 주파수와 비교하여 병렬 데이터를 복조한다. 예를 들어 앞서 표 1과 같은 2-bit 병렬 데이터에 대해 송신부에서 출력한 직렬 신호를 수신하면 표 2와 같이 그 주파수에 따라 데이터를 복조할 수 있다. 이와 같은 방식은 단일 에지 또는 특정 시점의 신호 상태만을 이용하여 데이터를 판단하는 방식과 달리, 일정 시간 동안 발생하는 복수의 클록 주기를 이용하여 데이터를 판별할 수 있다는 특징을 갖는다. 따라서 관측 구간 내에서 충분한 주기 수를 확보할 경우 순간적인 신호 변동이나 측정 오차의 영향을 줄이고 안정적인 주파수 판별이 가능하다.

표 2. 검출 주파수에 따른 복원 데이터
Table 2. Recovered data based on detection frequency

detection frequency	Recovered data
f_1	00
f_2	01
f_3	10
f_4	11

또한 제안 방식에서는 시스템의 데이터 처리 시간에 여유가 있는 경우 주파수 측정을 위한 관측 구간을 증가시킬 수 있다. 관측 시간이 증가하면 동일한 주파수에 대해 더 많은 클록 주기를 측정할

수 있으므로 주파수 판별의 정확도와 신뢰도를 향상시킬 수 있다. 반면 관측 구간의 증가는 데이터 복조에 필요한 시간 및 전체 인터페이스 latency의 증가로 이어질 수 있으므로, 시스템에서 요구하는 데이터 처리 속도와 신뢰도 사이의 적절한 절충이 필요하다.

Ⅳ. 위상배열안테나 시스템 적용

4.1 적용 환경

위상배열안테나 시스템은 일반적으로 다음 구조를 가진다.

- 중앙 제어 FPGA
- 다수의 송수신 블록
- 공통 기준 클록
- 동기화된 시스템 타이밍

따라서 송신부와 수신부가 동일 기준 클록을 사용하는 본 제안 방식과 매우 높은 구조적 적합성을 가진다.

4.2 기대 효과

본 논문에서 제안하는 인터페이스를 위상배열안테나 시스템에 적용할 때 다음과 같은 효과를 기대할 수 있다.

4.2.1 외부 SERDES 칩 제거에 따른 비용 절감

기존 인터페이스에서 사용되는 별도의 Serializer 및 Deserializer 칩을 FPGA 내부 IP 기반의 인터페이스로 대체함으로써 외부 부품 수를 줄일 수 있다. 이에 따라 시스템 구성에 필요한 부품 비용을 절감할 수 있다.

4.2.2 PCB 면적 및 회로 구성의 단순화

외부 SERDES 칩과 이에 필요한 주변 회로 및 고속 신호 배선을 최소화할 수 있어 PCB 면적을 줄일 수 있다. 특히 다수의 송수신 모듈이 병렬로 구성되는 위상배열안테나 시스템에서 보드 구성을 단순화할 수 있다는 점에서 유리하다.

4.2.3 송수신 모듈 간 Latency 편차 감소

위상배열안테나 시스템에서는 중앙 제어장치에서 전달되는 동기 신호를 기준으로 각 송수신 모듈이 동일한 기준 클록에 따라 동작한다. 제안하는 인터페이스는 송신부와 수신부가 동일한 기준 클록을 공유하고, 이를 통해 동기 신호를 주고받는다. 그 결과 기존 인터페이스에서 발생할 수 있는 송수신 모듈 간 latency 편차를 감소시키고, 동기 신호에 대한 각 모듈의 처리 시점을 일관되게 유지할 수 있다는 이점이 있다.

4.2.4 모듈 간 위상 차이 발생 가능성 감소

각 송수신 모듈은 제어장치로부터 전달된 동기 신호를 기준 신호에 맞추어 Latch 하여 내부 동작을 수행한다. 따라서 모듈 간 latency 차이가 발생할 경우 동일한 동기 신호에 대해서도 각 모듈의 동작 시점에 차이가 발생할 수 있으며, 이는 송수신 신호의 위상 차이로 이어질 수 있다. 제안하는 인터페이스는 모듈 간 latency 편차를 최소화함으로써 이러한 시간적 차이에 따른 위상 오차 발생 가능성을 줄이는 데 유리하다.

4.2.5 데이터 폭 및 인터페이스 확장성 향상

기존 인터페이스에서 SERDES 칩은 제품별로 지원하는 병렬 인터페이스의 데이터 폭이 정해져 있어, 시스템에서 요구하는 데이터 비트 수가 증가하거나 변경될 경우 지원 규격에 맞는 추가적인 칩 또는 인터페이스 회로가 필요할 수 있다. 반면 제안하는 방식은 FPGA 내부 IP를 기반으로 구현되므로 시스템에서 요구하는 병렬 데이터의 비트 수에 따라 인터페이스를 확장할 수 있다. 따라서 다수의 송수신 모듈과 다양한 동기 신호를 사용하는 위상배열안테나 시스템에서 데이터 폭의 변경 및 채널 증가에 유연하게 대응할 수 있다.

Ⅴ. 하드웨어 설계 및 검증

5.1 하드웨어 설계

먼저 제안하는 인터페이스에서 병렬 데이터가 잘 복조가 되어 실제 사용 가능한 방안인지를 검증하고 이후, 기존의 인터페이스와 제안하는 인터페이스의 레이턴시 차이를 비교하여 기대 효과를 얻을 수 있는지 확인한다. 해당 검증은 Xilinx의 FPGA인 xczu49dr-ffvf1760 사용 환경에서 검증하였다. 그리고 해당 implementation 결과는 Vivado 2020.2 버전에서 확인하였다.

5.2 Resource Utilization 분석

제안한 인터페이스는 FPGA 내부 SERDES IP를 작성하여 구현하였다. 그림 4는 합성 결과의 Resource Utilization을 나타낸다. 확인 결과 LUT, Register 등의 논리 자원 사용량은 FPGA 자원 대비 미미한 수준임을 확인하였다. 또한 BRAM(Block Random Access Memory)과 DSP(Digital Signal Processing) 자원은 사용하지 않았다. 따라서 제안한 구조는 별도의 외부 SERDES 칩을 사용하지 않으면서도 FPGA 내부 자원의 부담을 크게 증가시키지 않아 다양한 FPGA 기반 시스템에 적용할 수 있음을 확인하였다.

5.3 병렬 데이터 복조 검증

병렬 데이터를 제안하는 인터페이스를 통해 복조하는 것을 검증하기 위해 Signal 1, Signal 2 두 가지 신호를 생성하여 인터페이스를 통해 전송한다.

각 신호의 High/Low에 따른 직렬 라인의 주파수를 그림 5와 같이 미리 설정하여 Serialize IP에서 전송하고 Deserialize IP에서 설정에 따라 병렬 신호를 복조한다.

병렬 데이터의 입력과 복조된 데이터의 출력을 TP(Test Port)와 연결하여 오실로스코프로 측정해 본 결과 그림 6와 같이 일정한 지연 시간 이후 입력 데이터가 그대로 복조됨을 확인했다.

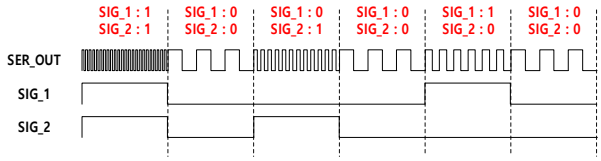


그림 5. 병렬 신호에 따른 직렬 신호 주파수
Fig. 5. Serial frequency according to parallel signals

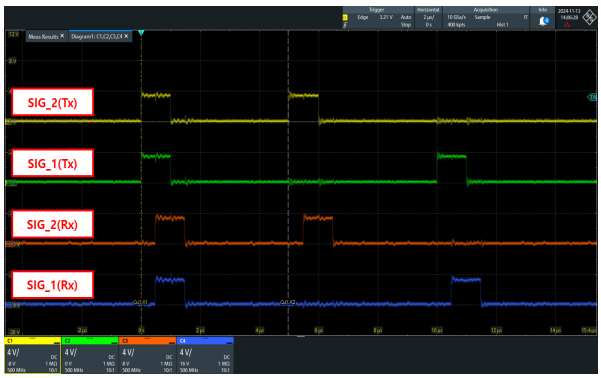


그림 6. 신호 복조 검증 결과
Fig. 6. Signal demodulation verification result

5.4 레이턴시 차이 검증

먼저 Serialize/Deserialize 칩을 사용한 기존 인터페이스를 이용하여 두 개의 송수신 모듈에서의 레이턴시 차이를 각각 측정했다. 그 결과 그림 7과 같이 8ns의 Latency 차이가 발생함을 확인했다.

제안하는 인터페이스의 채널 간 Latency 편차를 검증하기 위하여 3개의 송수신 모듈을 대상으로 동기 신호 전달에 따른 지연 시간을 측정하였다. 각 송수신 모듈은 동일한 기준 클록을 공유하도록 구성하였으며, SERDES IP는 100MHz의 구동 클록을 인가하였다. 중앙제어장치에서 동기 신호를 인가한 시점부터 각 송수신 모듈에서 해당 신호를 수신하여 처리하는 시점까지의 시간 차이를 측정하여 모듈별 Latency를 비교하였다.

Name	CLB LUTs (425280)	CLB Registers (850560)	CARRY8 (53160)	F7 Muxes (212640)	F8 Muxes (106320)	CLB (53160)	LUT as Logic (425280)
deserial_timing_v2_0 (design_1_des	29	55	0	0	0	10	29
serial_timing_0 (design_1_serial_timi	6	10	1	0	0	2	6

그림 4. SERDES IP의 리소스 사용량
Fig. 4. Resources usage of the SERDES IP

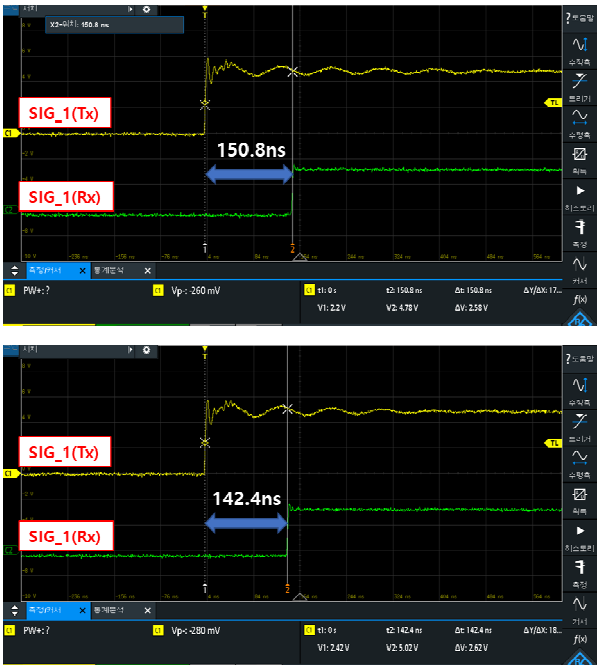


그림 7. 기존 인터페이스의 레이턴시 차이
Fig. 7. Latency difference of the existing interface

측정 결과, 그림 8와 같이 3개의 송수신 모듈에서 모두 220ns의 동일한 지연 시간이 발생하는 것을 확인하였다. 즉, 각 송수신 모듈에서 측정된 Latency는 동일하였으며, 모듈 간 Latency 편차는 관찰되지 않았다. 이는 동일한 기준 클록과 FPGA 내부 IP 및 데이터 처리 구조를 각 송수신 모듈에 적용함으로써 채널별 처리 경로의 차이가 발생하지 않았기 때문으로 판단된다. 이는 다수의 송수신 모듈 간 위상 일관성을 유지하는 데 유리할 것으로 판단된다.

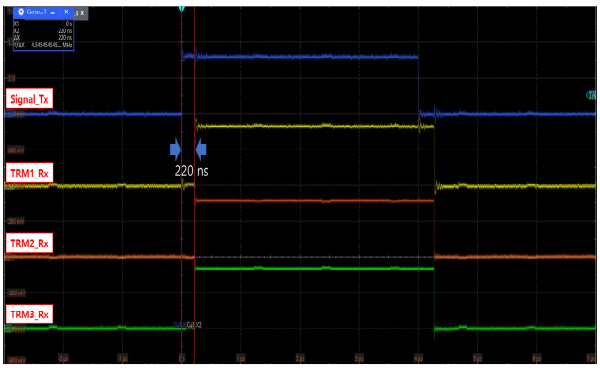


그림 8. 제안하는 인터페이스의 레이턴시 편차
Fig. 8. Latency difference of the proposed interface

또한 SERDES IP에 인가되는 구동 클록을 조절함으로써 시스템 요구사항에 따라 인터페이스의 Latency를 조절할 수 있으므로, 데이터 처리 속도와 시스템 동기 특성을 고려한 인터페이스 설계가 가능하다.

Ⅵ. 결 론

본 논문에서는 위상배열안테나 시스템과 같이 송신부와 수신부가 공통 기준 클록을 공유하는 환경을 대상으로, FPGA 내부 자원만을 활용한 주파수 인코딩 기반 직렬 인터페이스를 제안하였다. 제안한 방식은 병렬 데이터의 논리 상태를 서로 다른 주파수의 직렬 신호로 변환하여 전송하고, 수신부에서 주파수 검출을 통해 원래의 병렬 데이터를 복원하는 구조로 동작한다.

기존의 SERDES 기반 인터페이스는 별도의 Serializer/Deserializer 칩과 Clock Data Recovery(CDR) 회로가 필요하여 시스템 비용 증가, PCB 면적 확대, 전력 소모 증가 및 채널 간 지연 편차가 발생할 수 있다. 반면, 제안한 구조는 공통 기준 클록을 활용하여 외부 SERDES 칩 없이 FPGA 내부 IP만으로 직렬 인터페이스를 구현할 수 있으므로 하드웨어 구성을 단순화할 수 있으며, 시스템 비용 절감과 PCB 공간 감소가 가능하다. 또한 동일한 FPGA 구조를 기반으로 구현함으로써 다수의 송수신 채널 간 latency skew를 최소화할 수 있어 위상배열안테나 시스템과 같은 다채널 환경에 효과적으로 적용될 것으로 기대된다.

향후 연구에서는 제안한 구조를 실제 FPGA 플랫폼에 구현하여 FPGA 자원 사용량, 최대 전송 속도, BER(Bit Error Rate), 전력 소모 및 채널 간 지연 특성을 정량적으로 분석하고, 기존 SERDES 기반 인터페이스와의 성능을 비교·검증할 예정이다. 또한 다양한 데이터 폭과 채널 수를 고려한 확장성 및 고속 환경에서의 적용 가능성을 추가로 검토하여 제안 기법의 실용성을 입증하고자 한다.

References

[1] D. M. Pozar, "Microwave Engineering, 4th ed.", Hoboken, pp. 620-650, 2012.

[2] M. I. Skolnik, "Introduction to Radar Systems, 3rd ed.", McGraw-Hill, pp. 559-614, 2001.

[3] J. G. Proakis and M. Salehi, "Digital Communications, 5th ed.", McGraw-Hill, pp. 1-16, 2008.

[4] D. Calvet, "Clock-Centric Serial Links for the Synchronization of Distributed Readout Systems", IEEE Transactions on Nuclear Science, Vol. 67, No. 8, pp. 1912-1919, Aug. 2020. https://doi.org/10.1109/TNS.2020.3006698.

[5] K. Lee, S. Kim, G. Ahn, and D. K. Jeong, "A CMOS Serial Link for Fully Duplexed Data Communication", IEEE Journal of Solid-State Circuit, Vol. 30, No. 4, pp. 353-364, Apr. 1995. https://doi.org/10.1109/4.375953.

[6] B. Razavi, "Challenges in the Design of High-Speed Clock and Data Recovery Circuits", IEEE Communications Magazine, Vol. 40, No. 8, pp. 94-101, Aug. 2002. https://doi.org/10.1109/MCOM.2002.1024421.

[7] M. Assaad and M. Alser, "An FPGA-based Design and Implementation of an All-Digital Serializer for Inter Module Communication in SoC", IEICE Electronics Express, Vol. 8, No. 23, pp. 2017-2023, Dec. 2011. https://doi.org/10.1587/elex.8.2017.

[8] X. Liu, Q. X. Deng, and Z. K. Wang, "Design and FPGA Implementation of High-Speed, Fixed-Latency Serial Transceivers", IEEE Transactions on Nuclear Science, Vol. 61, No. 1, pp. 561-567, Feb. 2014. https://doi.org/10.1109/TNS.2013.2296301.

[9] M. Kruszewski and W. M. Zabołotny, "Fixed-latency system for high-speed serial transmission between FPGA devices with Forward Error Correction", International Journal of Electronics and Telecommunication, Vol. 66, No. 3, pp. 545-553, Jul. 2020. https://doi.org/10.24425/ijet.2020.134011.

저자소개

김 진 웅 (Jinwoong Kim)



2016년 8월 : 성균관대학교 전자전기공학과(공학사)
2016년 7월 ~ 현재 : 한화시스템 선임연구원
관심분야 : 디지털 하드웨어, FPGA, 레이다 Hardware

서 봉 용 (Bongyong Seo)



2008년 2월 : 경희대학교 전자공학과(공학사)
2007년 12월 ~ 현재 : 한화시스템 수석연구원
관심분야 : 레이더, 신호처리

국 경 필 (Kyoungpil Kuk)



2015년 2월 : 상명대학교 정보통신공학과(공학사)
2022년 10월 ~ 현재 : 한화시스템 선임연구원
관심분야 : 레이다, FPGA